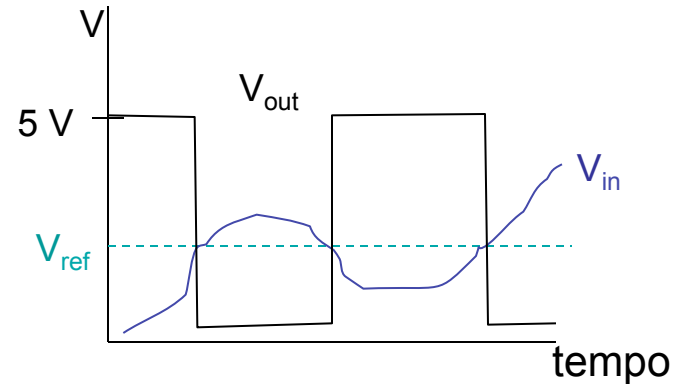
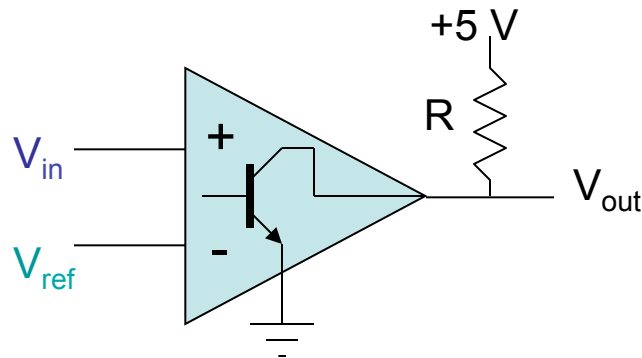


Laboratorio II, modulo 2 2016-2017

Elettronica digitale (2^a parte)

(cfr. <http://physics.ucsd.edu/~tmurphy/phys121/phys121.html>)

Esempio (reale) di comparatore



- quando $V_{in} < V_{ref}$, V_{out} è “pulled-up” (attraverso il resistore di “pull-up”, usualmente $1\text{ k}\Omega$ o più)
 - questa configurazione è chiamata a “collettore aperto”: l’uscita è il collettore di un transistor npn. In saturazione è tirata verso l’emettitore (ground), ma se non c’è corrente di base il collettore è tirato al voltaggio di pull-up
- l’uscita è una versione “digitale” del segnale
 - i valori “alto” e “basso” sono configurabili (ground e 5V, nell’esempio)
- possono essere utili anche per convertire un segnale “lento” in uno “veloce”
 - se è necessaria una maggiore precisione di “timing”

Famiglie logiche

Famiglie logiche più diffuse e usate

- **CMOS** (Complementary MOS)
- **NMOS** (MOSFET a canale n)
- **TTL** (Transistor-Transistor Logic)
- **ECL** (Emitter Coupled Logic)



transistor **FET**

transistor **BJT**

Le porte logiche possono essere fabbricate con le varie tecnologie in un singolo chip con stesse funzioni, compatibili

numero di porte →

SSI small scale integration (1-10 gates)

MSI medium scale integration (10-100 gates)

LSI large scale integration ($\sim 10^3$)

VLSI very large scale integration ($\sim 10^6$)

ULSI ultra large scale integration ($> 10^6$)

Famiglie logiche

- **TTL**: Transistor-Transistor Logic, basato sul BJT
 - output: '1' logico: $V_{OH} > 3.3 \text{ V}$; '0' logico: $V_{OL} < 0.35 \text{ V}$
 - input: '1' logico: $V_{IH} > 2.0 \text{ V}$; '0' logico: $V_{IL} < 0.8 \text{ V}$
 - zona "morta" fra 0.8V e 2.0 V
- **CMOS**: Complimentary MOSFET
 - output: '1' logico: $V_{OH} > 4.7 \text{ V}$; '0' logico: $V_{OL} < 0.2 \text{ V}$
 - input: '1' logico: $V_{IH} > 3.7 \text{ V}$; '0' logico: $V_{IL} < 1.3 \text{ V}$
 - zona "morta" fra 1.3V e 3.7 V

L'uscita di un CMOS è TTL-compatibile

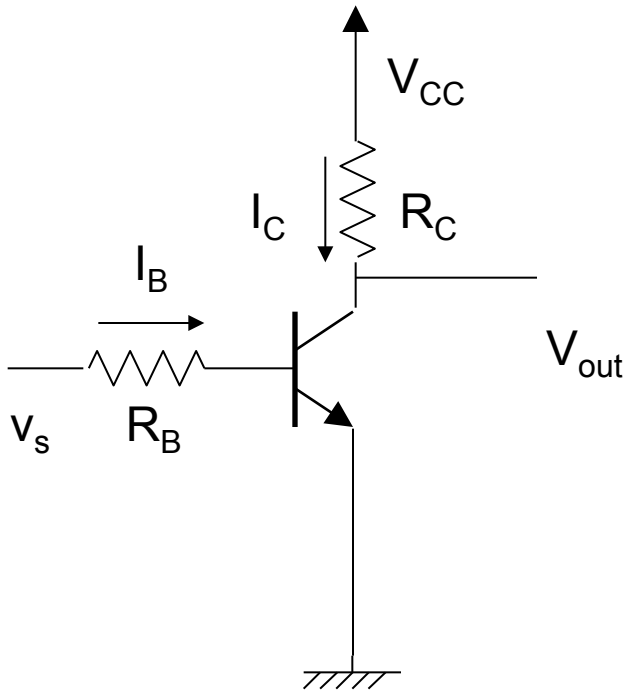
Confronto famiglie logiche

	TTL	CMOS	ECL
tensione massima di alimentazione	5	5	-5.2
valore massimo V_{in} identificato come 0	0.8	1.3	-1.4
valore minimo V_{in} identificato come 1	2.0	3.7	-1.2
valore massimo V_{out} identificato come 0	0.35	0.2	-1.7
valore minimo V_{out} identificato come 1	3.3	4.7	-0.9

Invertitore (NOT)

Realizzazione: è di fatto un interruttore

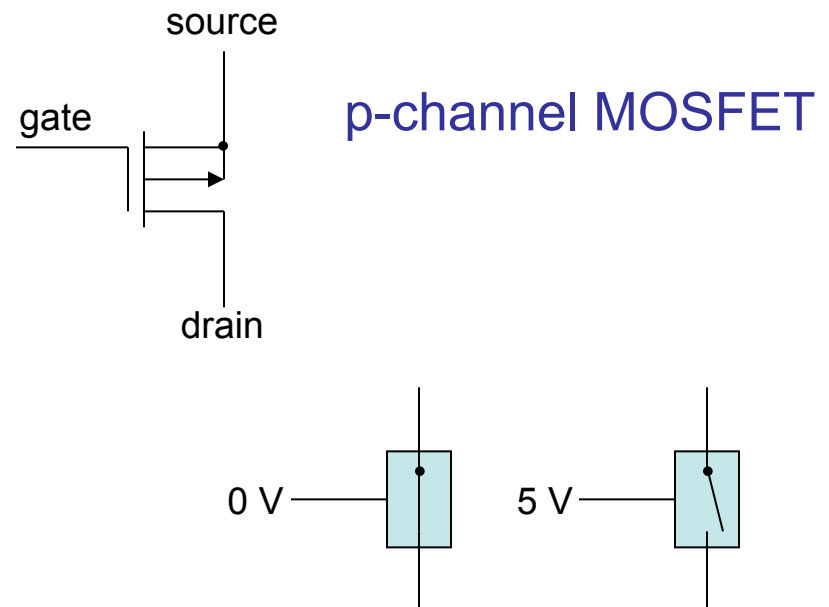
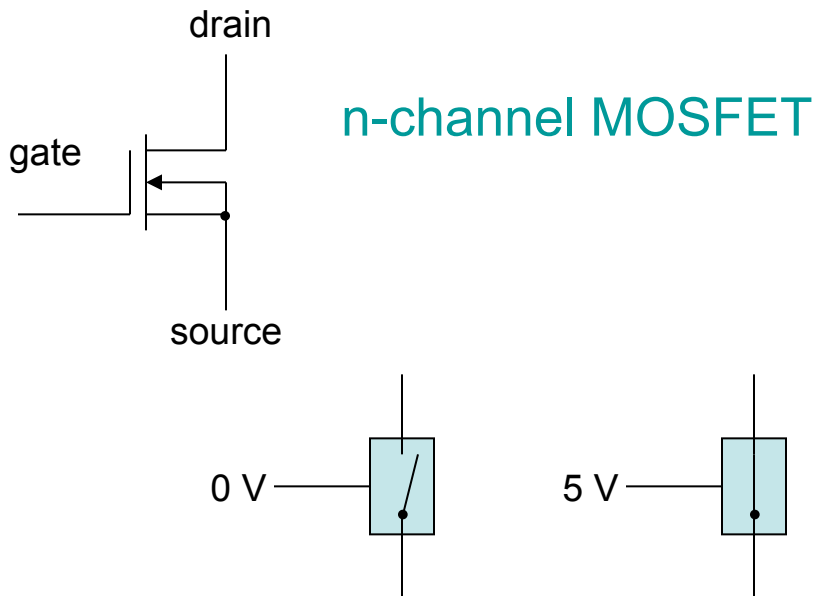
logica TTL (BJT)



- quando V_s è ~ 0 il transistor è in cut-off
 $\rightarrow I_B \sim 0$
 $\rightarrow I_C \sim 0$
 $\rightarrow V_{out}$ è “pulled up” verso V_{CC}
- quando V_s è “grande” il transistor va in saturazione
 $\rightarrow I_C$ è massima
 $\rightarrow V_{out} \sim 0$
(dato che $V_{CC} - V_{out} = R_C * I_C$)

Interruttori MOSFET

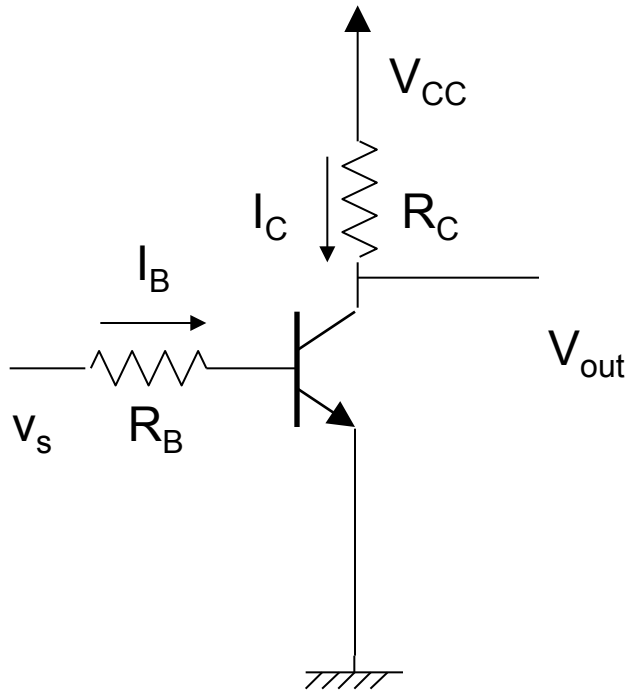
- i MOSFET, utilizzati nei circuiti di logica, agiscono come interruttori controllati con un voltaggio
 - n-channel MOSFET è chiuso (conduce) quando è applicato un voltaggio positivo (+5V), aperto quando il voltaggio è nullo
 - p-channel MOSFET è aperto quando è applicato un voltaggio positivo (+5V), chiuso (conduce) quando il voltaggio è nullo



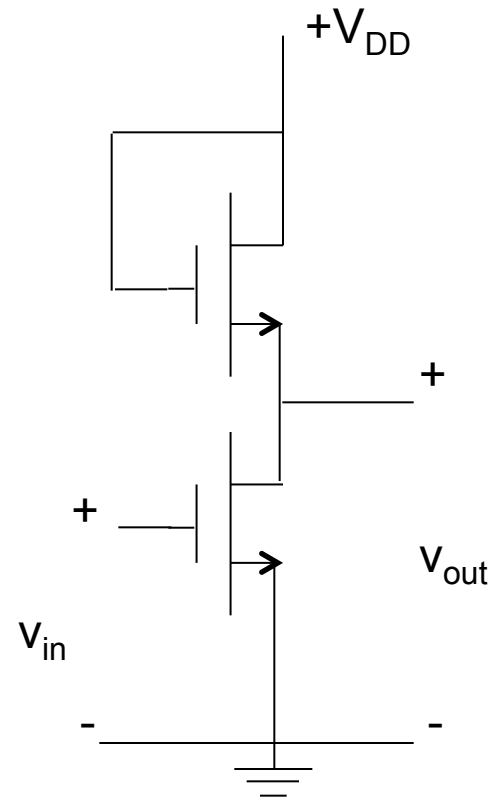
Invertitore (NOT)

Realizzazione: è di fatto un interruttore

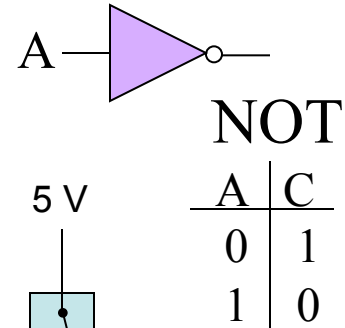
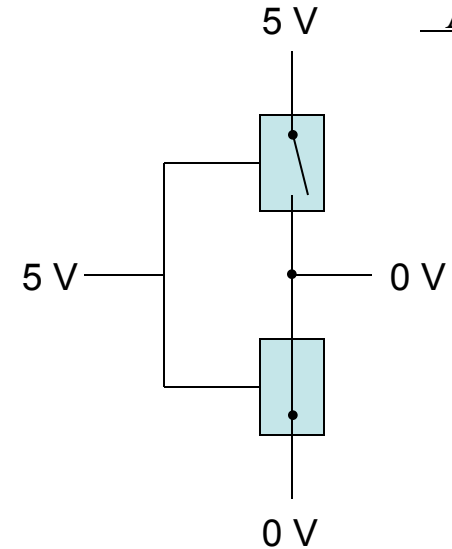
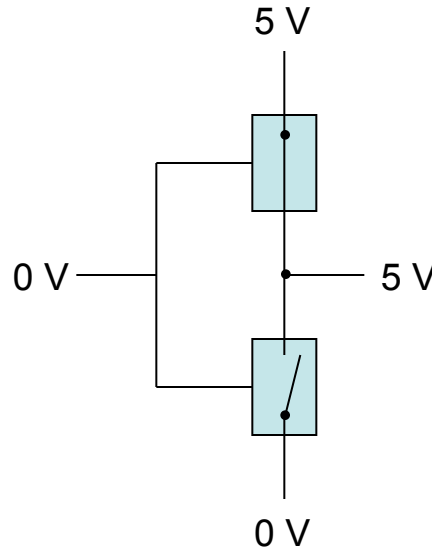
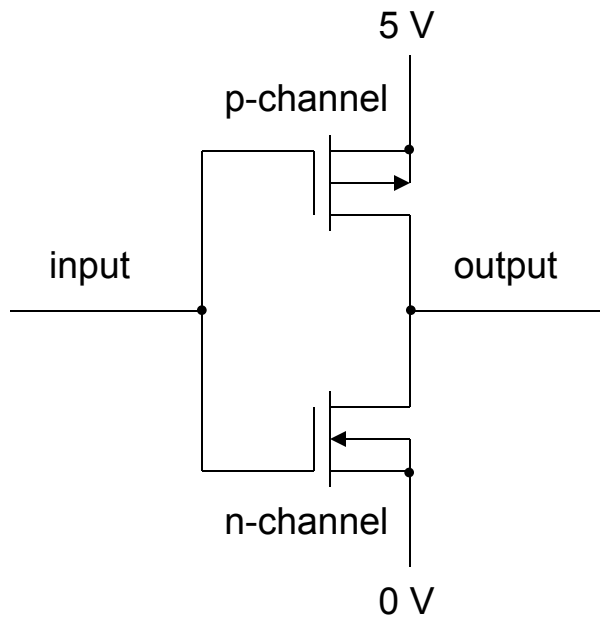
logica TTL (BJT)



logica NMOS (MOSFET)



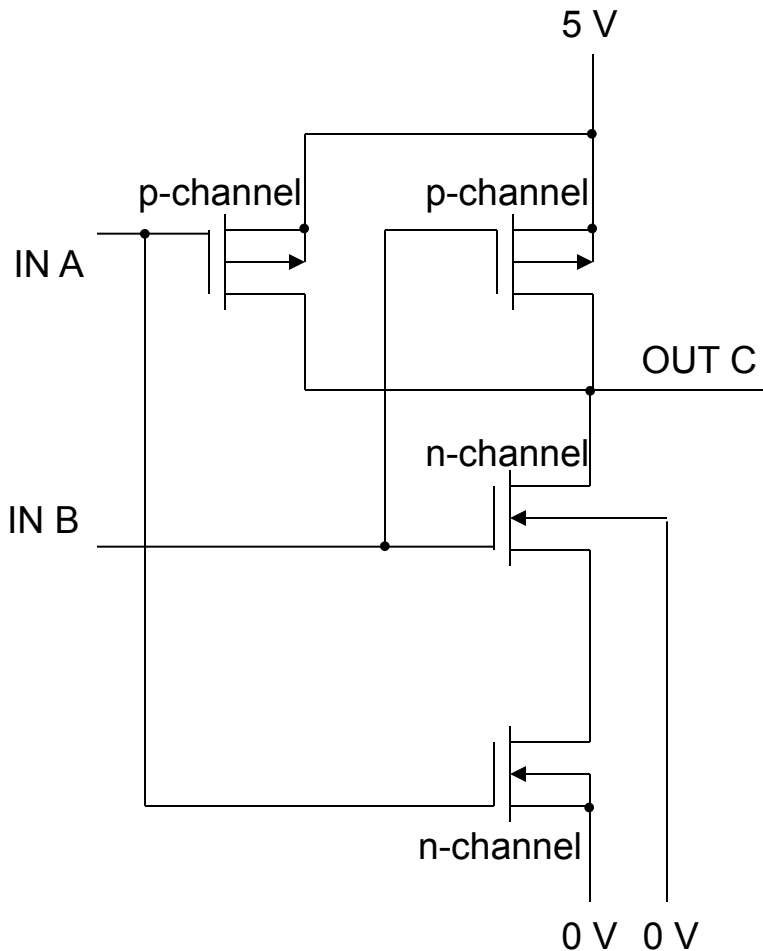
Invertitore (NOT) MOSFET:



- 0V come input “apre” il FET in basso (n-channel) ma “chiude” quello in alto (p-channel) → l’output è a +5V
- 5V come input “chiude” il FET in basso (n-channel) ma “apre” quello in alto (p-channel) → l’output è a 0V

→ l’effetto netto è l’inversione logica: $0 \rightarrow 5$; $5 \rightarrow 0$

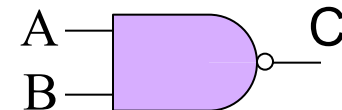
NAND MOSFET:



- Entrambe gli input a 0V:
 - i due FET in basso **OFF**, i due in alto **ON**
 - uscita “alta”
- Entrambe gli input a 5V:
 - i due FET in basso **ON**, i due in alto **OFF**
 - uscita “bassa”
- IN A a 5V, IN B a 0V:
 - alto a sinistra **OFF**, più basso **ON**
 - alto a destra **ON**, in mezzo **OFF**
 - uscita “alta”
- IN A a 0V, IN B a 5V:
 - opposto rispetto a prima
 - uscita “alta”

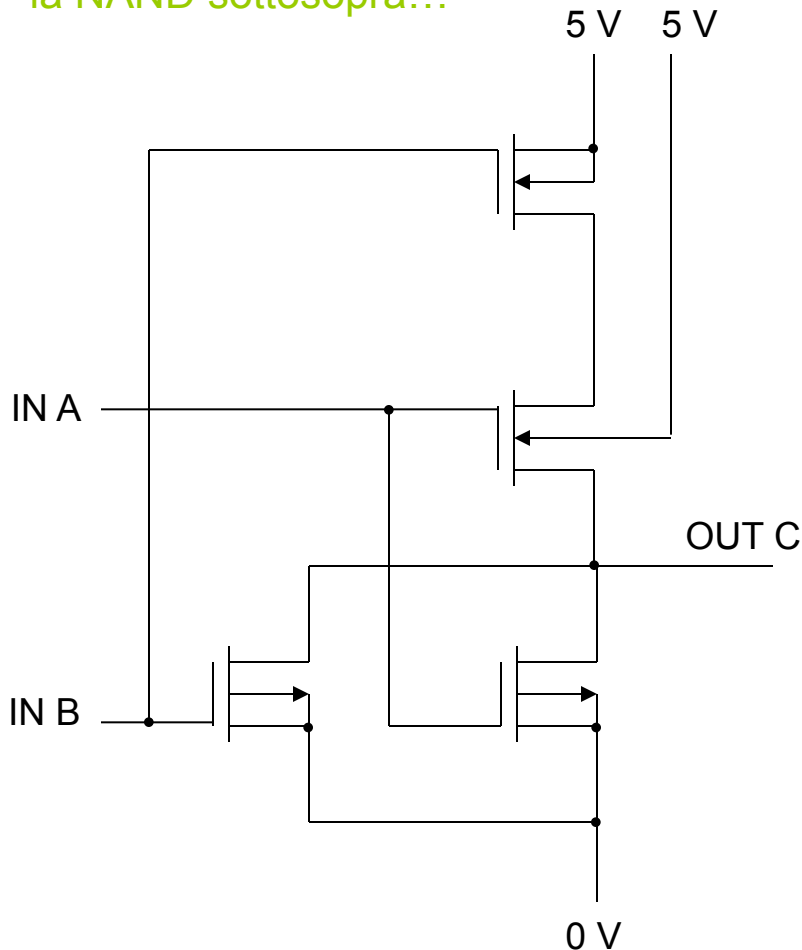
NAND

A	B	C
0	0	1
0	1	1
1	0	1
1	1	0



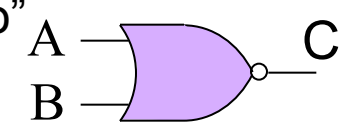
NOR MOSFET:

la NAND sottosopra...

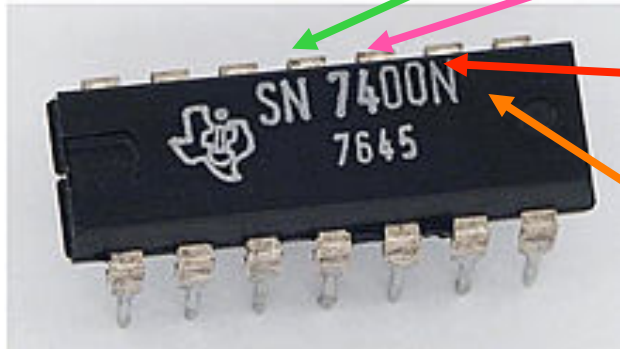
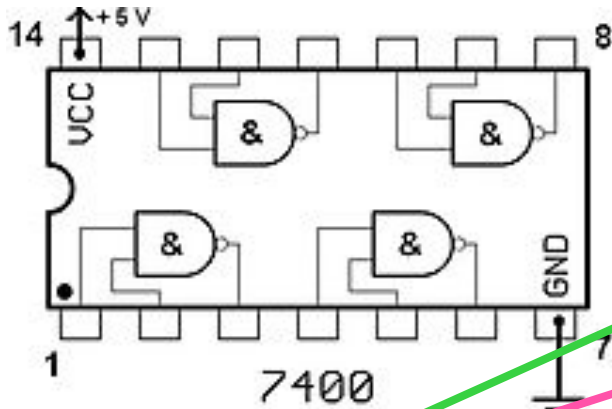


- Entrambe gli input a 0V:
 - i due FET in basso OFF, i due in alto ON
 - output “alto”
- Entrambe gli input a 5V:
 - i due FET in basso ON, i due in alto OFF
 - output “basso”
- IN A a 5V, IN B a 0V:
 - basso a sinistra OFF, basso destra ON
 - più alto ON, in mezzo OFF
 - output “basso”
- IN A a 0V, IN B a 5V:
 - opposto rispetto a prima
 - output “basso”

NOR		
A	B	C
0	0	1
0	1	0
1	0	0
1	1	0



Nomenclatura circuiti



AA 74 AAA XXX P

due lettere indicano la casa costruttrice

74, sempre uguale

tre lettere che indicano la sottofamiglia

numeri indicano la funzione del circuito

lettere che identificano il contenitore
(packaging)

SN74ALS245N

significa che è fatto dalla Texas Instruments (SN), è un TTL con range di temperatura commerciale (74), è della famiglia “Advanced Low-power Schottky” (ALS), ed è un buffer bi-direzionale a 8 bit, in un package plastico di tipo through-hole DIP (N).

Sottofamiglia TTL

