

Laboratorio II, modulo 2 2016-2017

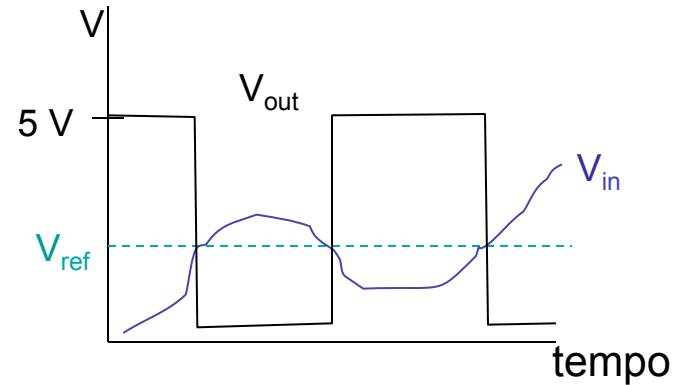
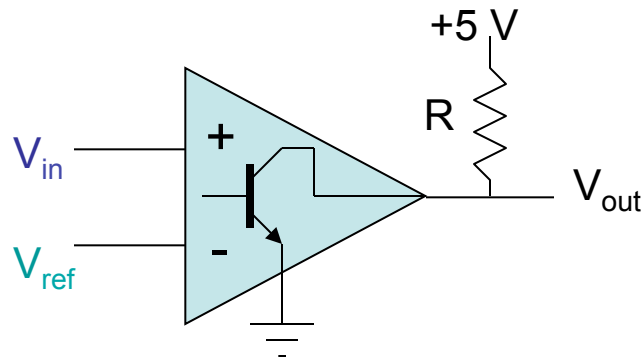
Comparatore e FlashADC con l'Op.Amp. “TDC” con l'FPGA LM35

(cfr. <http://www.circuitstoday.com/voltage-comparator>
<http://www.seas.upenn.edu/~ese206/labs/adc206/adc206.html>
[https://indico.cern.ch/event/357886/contributions/849365/
attachments/1145718/1648596/FPGA_1.pdf](https://indico.cern.ch/event/357886/contributions/849365/attachments/1145718/1648596/FPGA_1.pdf))

Comparatori

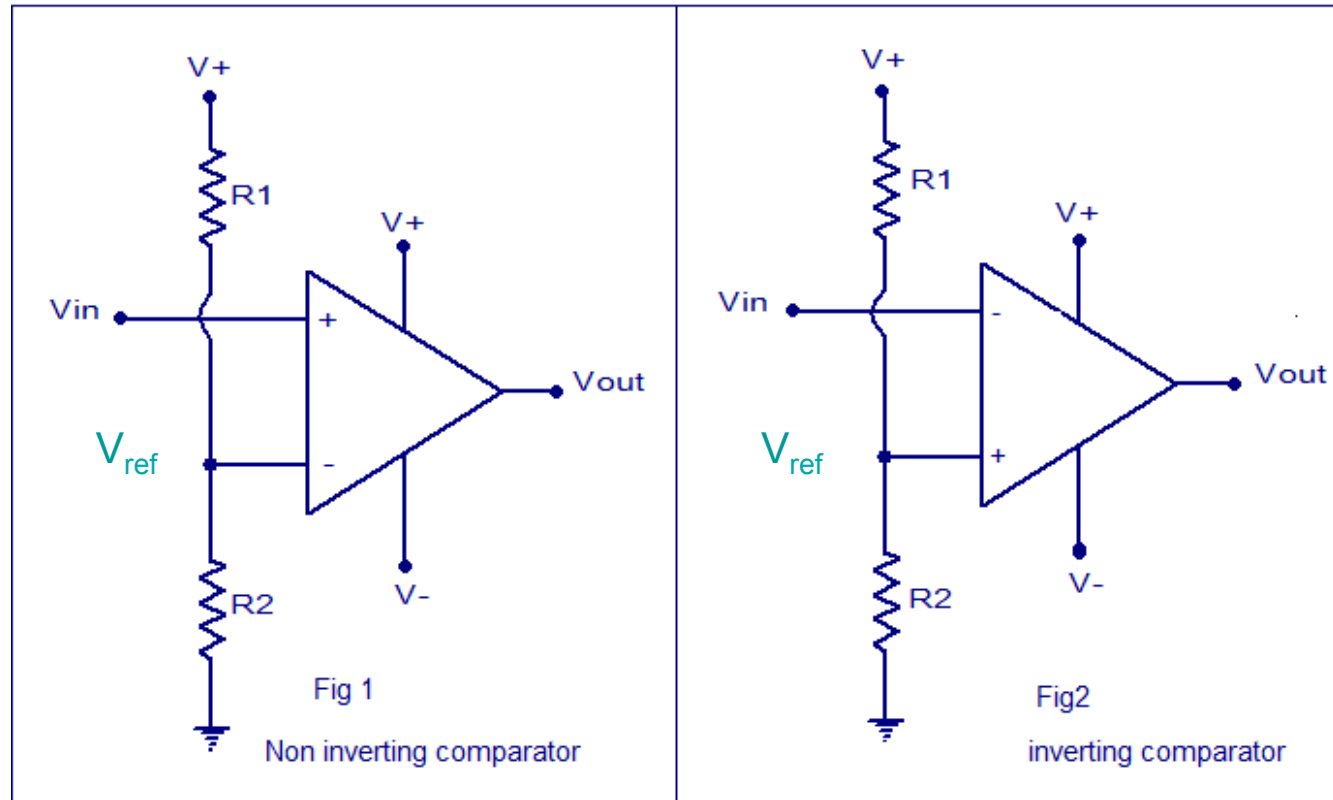
- è spesso utile generare un segnale elettrico “forte” associato con un certo evento (cfr. *trigger*)
- possiamo utilizzare un comparatore per confrontare un segnale con una certa soglia
 - può essere una temperatura, una pressione, etc...: qualsiasi cosa che possa essere trasformata in un voltaggio
- possiamo utilizzare un operazionale invertente senza feedback
 - input invertente alla soglia
 - input non-invertente collegato al segnale da testare
 - l’operazionale farà uscire un segnale (a fondo scala) negativo se il segnale è $<$ della soglia, positivo se il segnale è $>$ della soglia
- purtroppo l’operazionale è lento (basso “slew rate”)
 - $15 \text{ V}/\mu\text{s}$ significa $2 \mu\text{s}$ per arrivare a fondo scala se alimentato $\pm 15 \text{ V}$

Esempio (reale) di comparatore



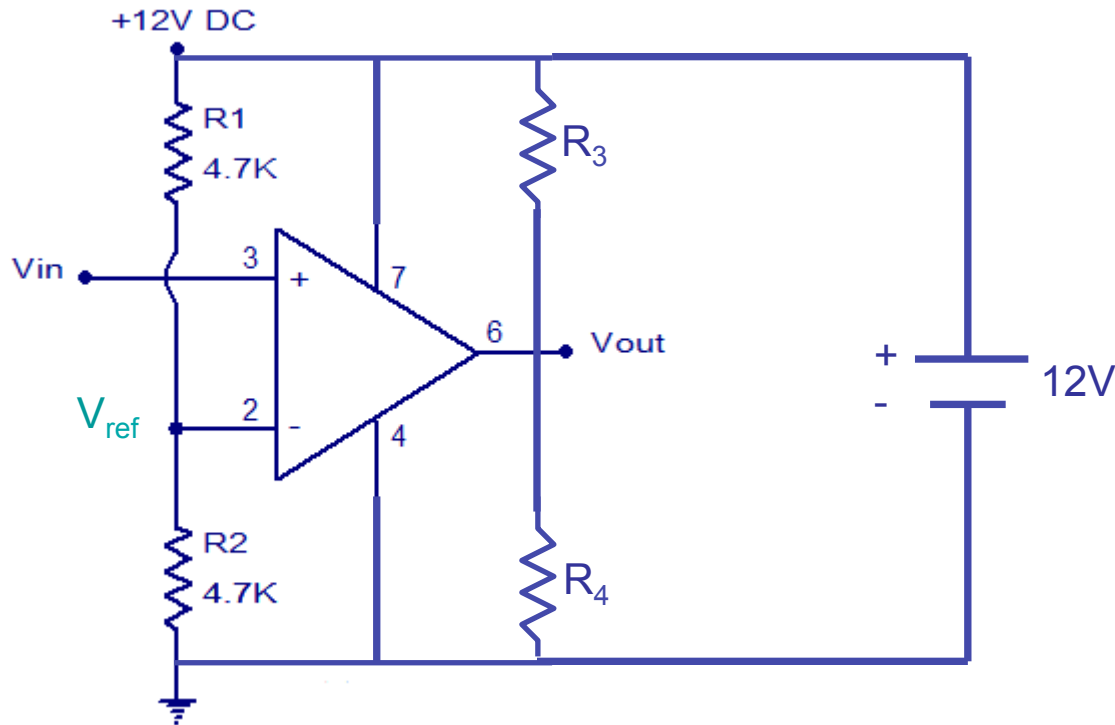
- quando $V_{in} < V_{ref}$, V_{out} è “pulled-up” (attraverso il resistore di “pull-up”, usualmente $1\text{ k}\Omega$ o più)
 - questa configurazione è chiamata a “collettore aperto”: l’uscita è il collettore di un transistor npn. In saturazione è tirata verso l’emettitore (ground), ma se non c’è corrente di base il collettore è tirato al voltaggio di pull-up
- l’uscita è una versione “digitale” del segnale
 - i valori “alto” e “basso” sono configurabili (ground e 5V, nell’esempio)
- possono essere utili anche per convertire un segnale “lento” in uno “veloce”
 - se è necessaria una maggiore precisione di “timing”

Comparatore con l'operazionale



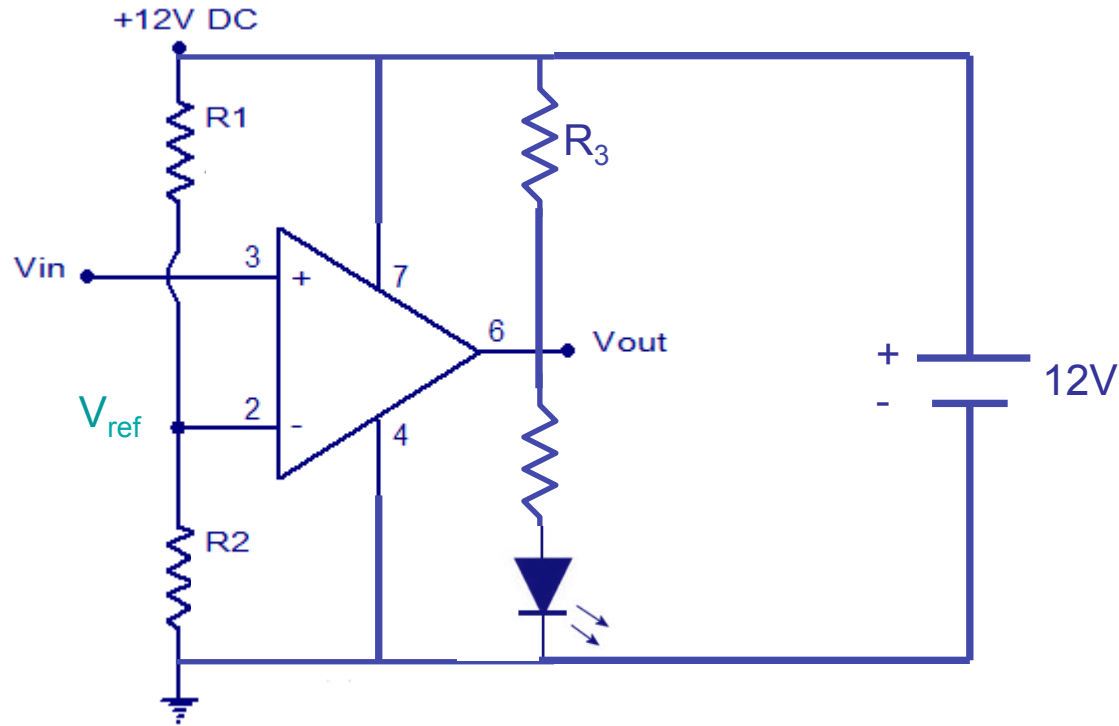
- V_{ref} realizzato con un partitore resistivo fra V_+ (che è anche l'alimentazione positiva dell'operazionale) e terra
- in regime di open-loop, V_{out} passerà da V_+ (per $V_{in} > V_{ref}$) a V_- (per $V_{in} < V_{ref}$)
- montaggio di Fig.1 è non invertente e ha V_{in} nell'input con impedenza più alta
- montaggio di Fig.2 è invertente e ha V_{in} nell'input con impedenza più bassa

Comparatore "digitale" con operazionale e pull-up resistor



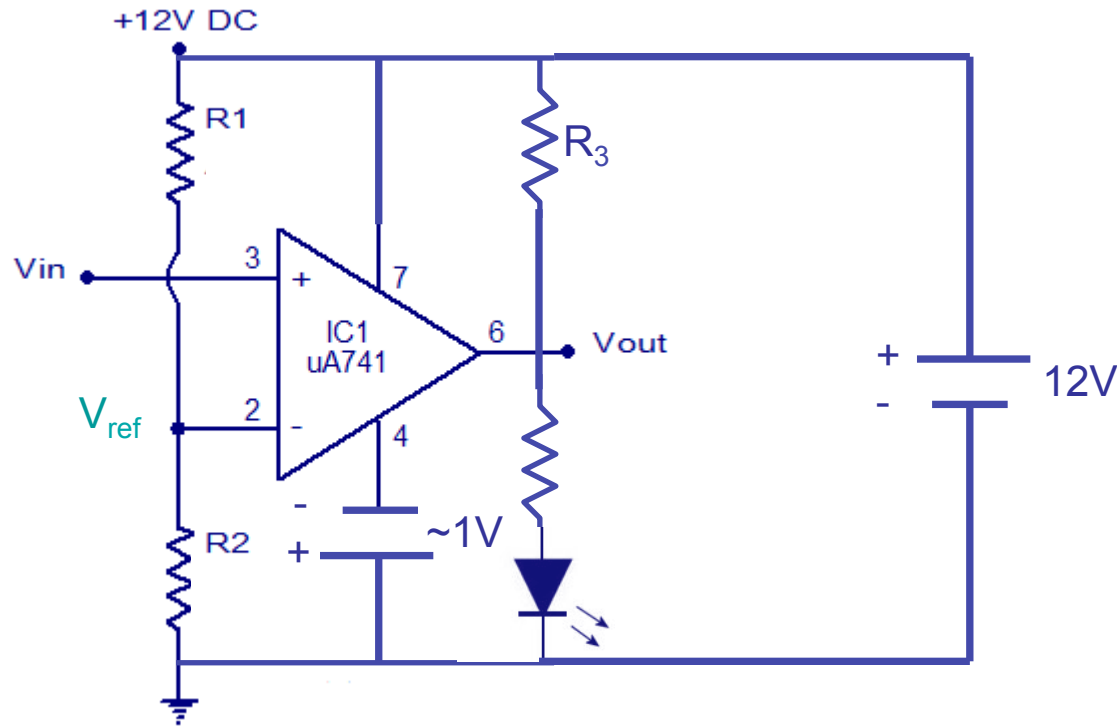
- V_+ sarà il nostro stato "alto"
- mettendo V_- a terra avremo 0V come stato "basso"
- il resistore di pull-up (R_3) di fatto porta V_{out} a V_+ (usando la "potenza" proveniente da V_+ , e non dall'operazionale) ma solo quando V_{out} è "alto"

Comparatore "digitale" con operazionale e pull-up resistor + LED



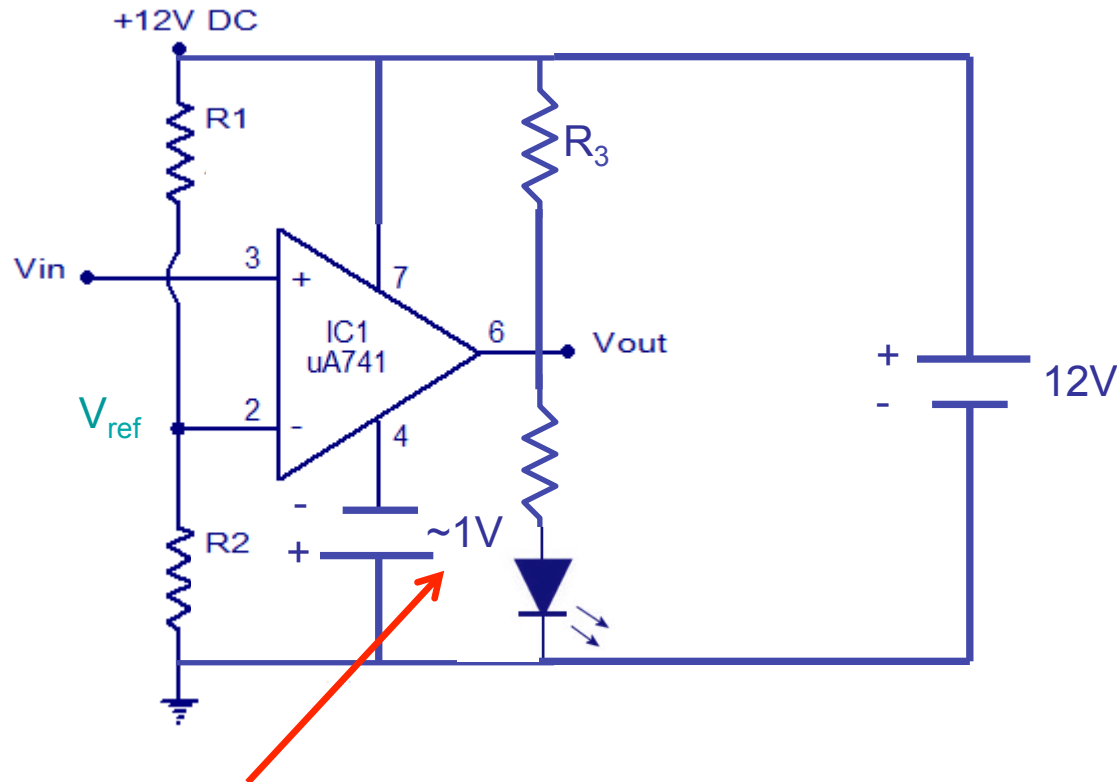
- possiamo aggiungere un LED per "indicare" quando la soglia, V_{ref} , è passata

Comparatore "digitale" con operazionale 741 e pull-up resistor + LED



- in realtà l'op.amp. 741 NON può essere utilizzato in modalità *unipolare* (alimentandolo solo da un lato) e quindi se si mette V_- a terra in realtà l'op.amp. non funziona correttamente.
 - è sufficiente dare un piccolo voltaggio negativo ($\sim -1V$) per vincere il potenziale di contatto delle giunzioni

Comparatore "digitale" con operazionale 741 e pull-up resistor + LED

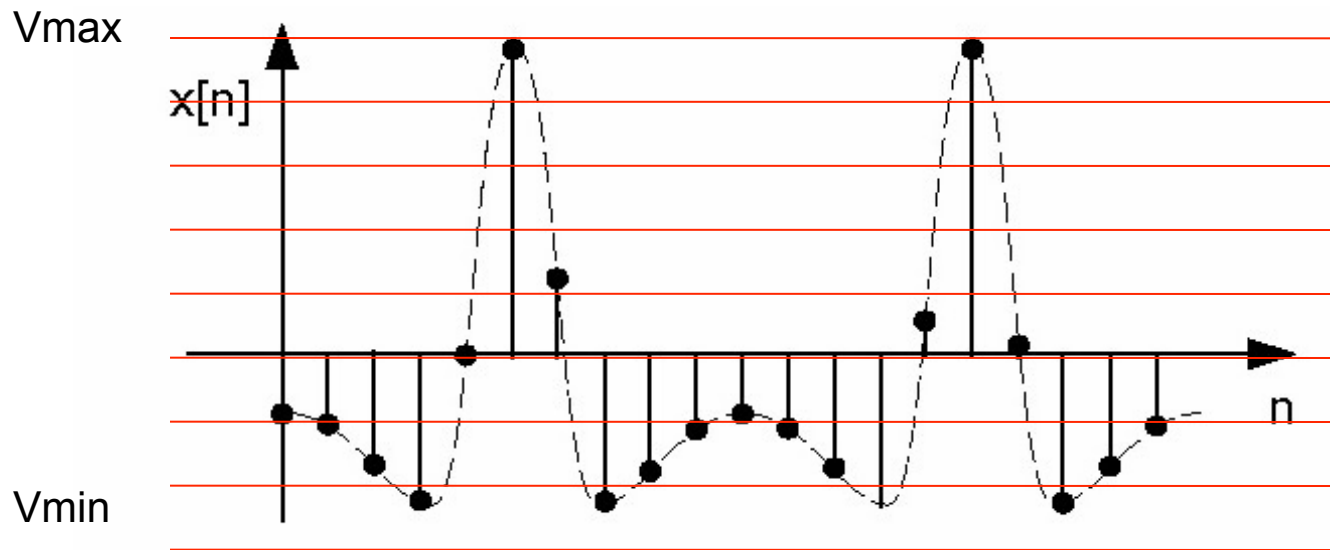
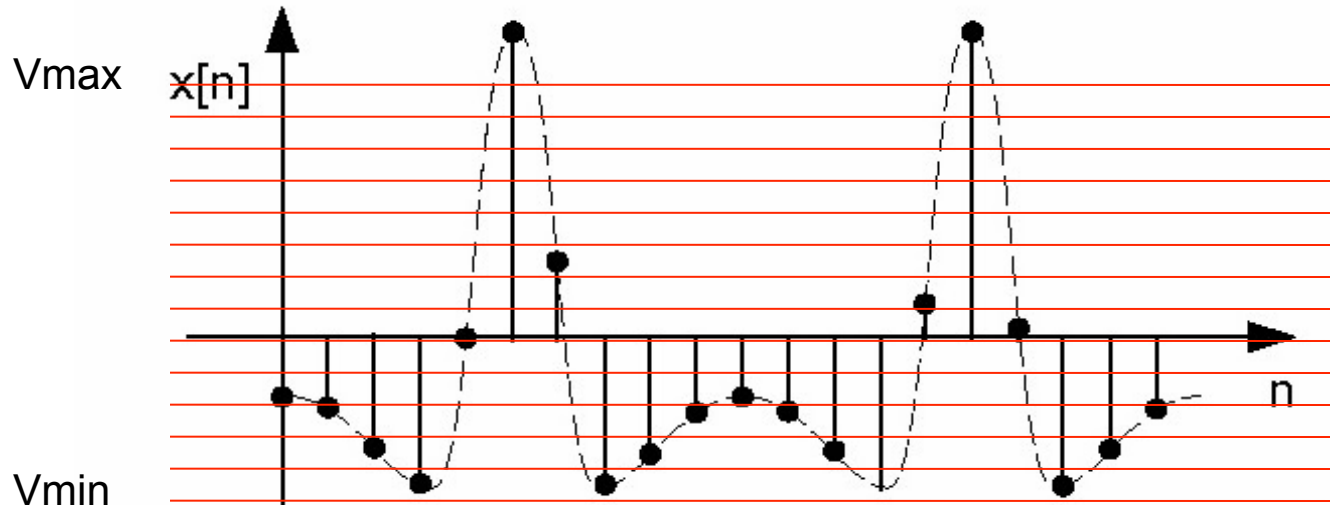


- in teoria potrebbero bastare 0.7-0.8V (del potenziale di contatto). Empiricamente si trova che è meglio darne un pò più (1V) e sicuramente il tutto funziona uguale (il LED sarà maggiormente contropolarizzato, ma non è un grosso problema) anche se si mette un'alimentazione "standard" (5V o anche 15V)

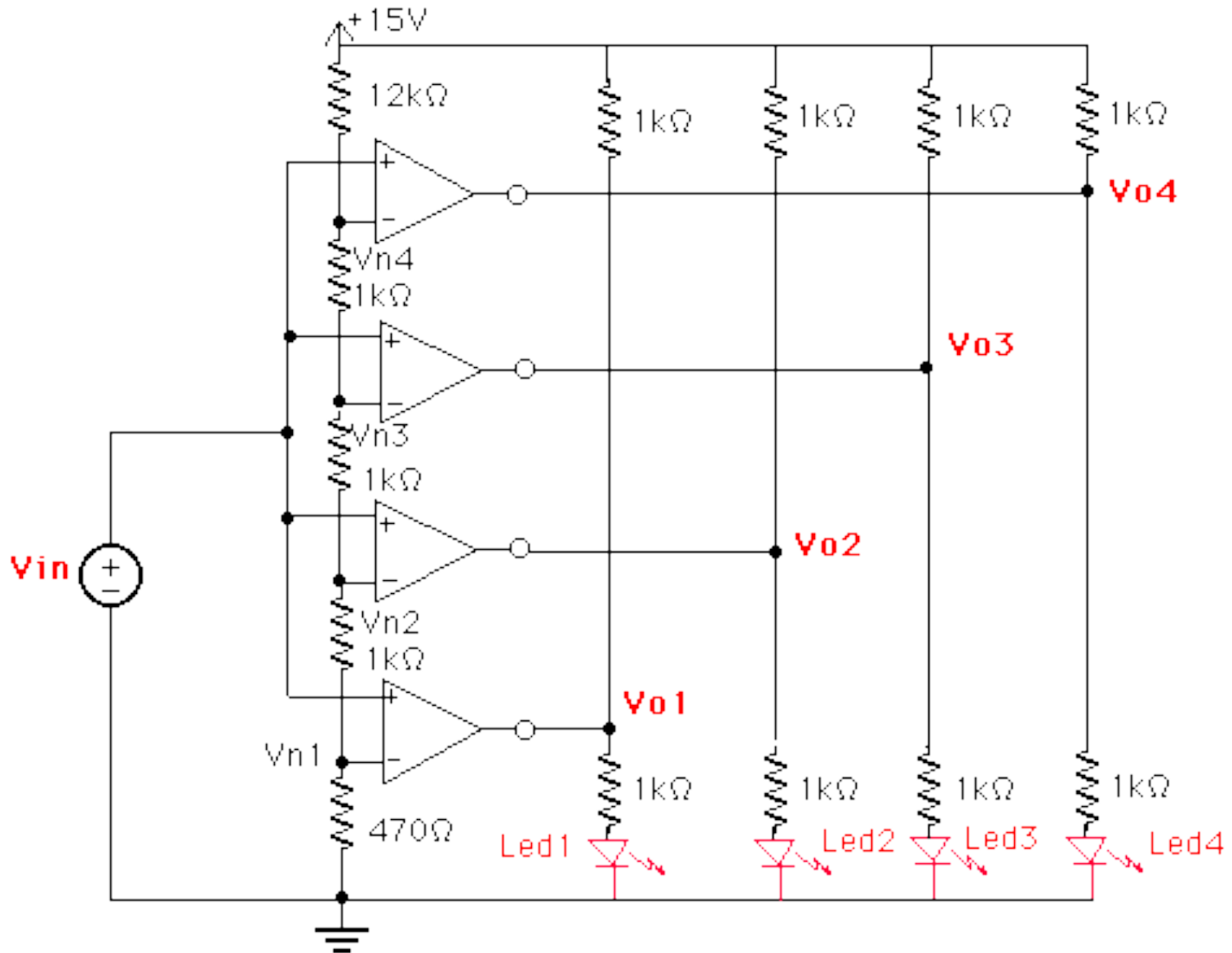
ADC (I)

- Dal punto di vista funzionale gli ADC sono dei *classificatori*:
 - L'intervallo di variabilità del segnale V_x viene diviso in n intervalli, detti *canali*, di ampiezza costante K . Definiamo quindi $V_i = K i + V_0$
 - Il segnale in ingresso V_x viene *classificato* nel canale i -esimo se è verificata la relazione
$$V_{i-1} < V_x < V_i$$
 - Inevitabilmente si ha un errore di quantizzazione

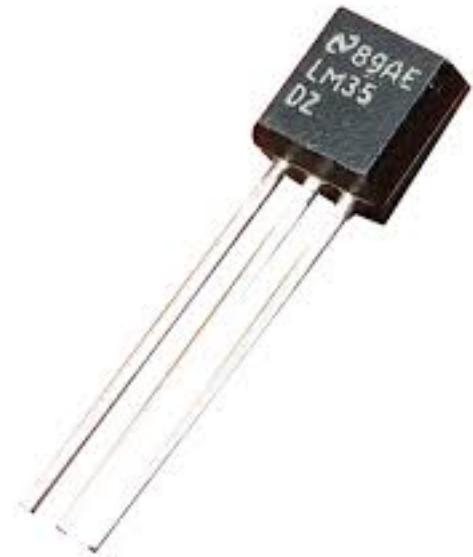
ADC (2)



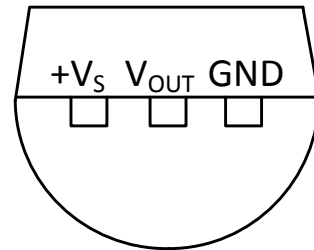
Flash-ADC con l'operazionale



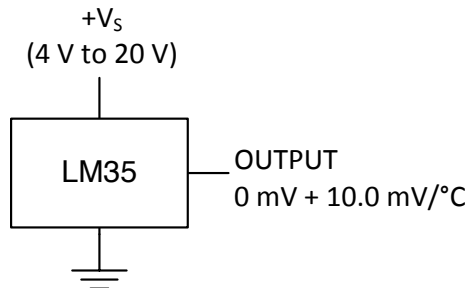
LM35



LP Package
3-Pin TO-92
(Bottom View)



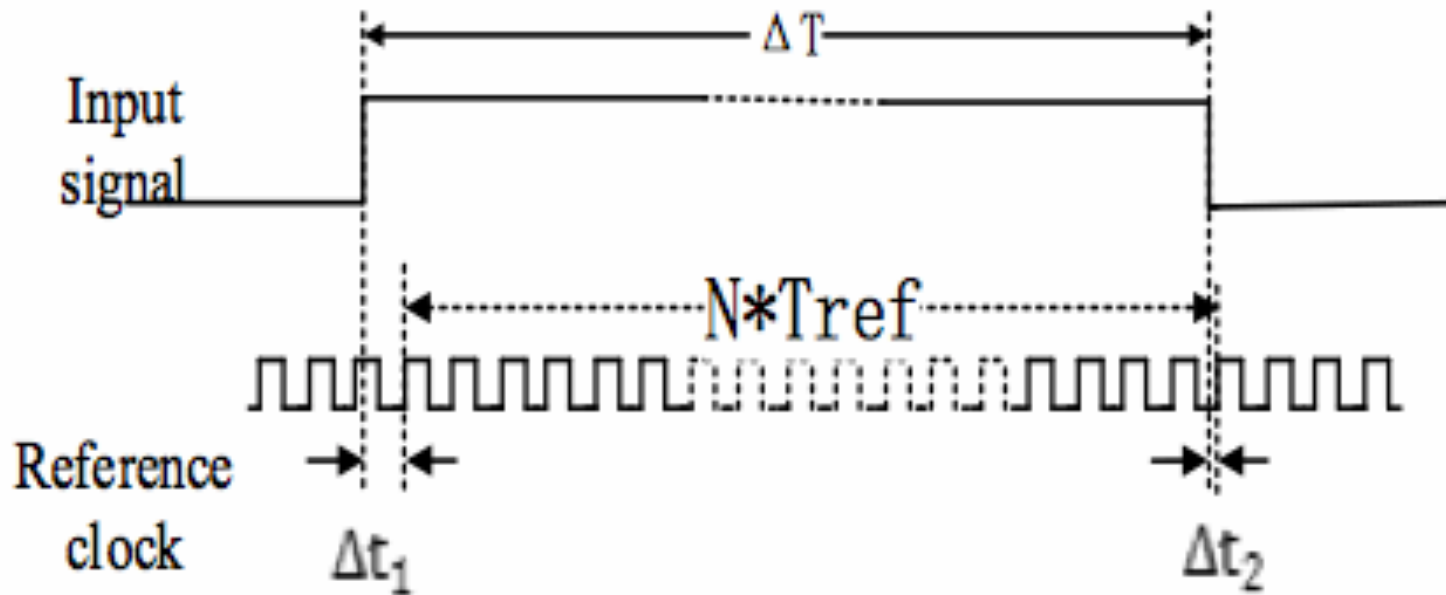
Basic Centigrade Temperature Sensor
(2°C to 150°C)



1 Features

- Calibrated Directly in Celsius (Centigrade)
- Linear + 10-mV/ $^{\circ}\text{C}$ Scale Factor
- 0.5°C Ensured Accuracy (at 25°C)
- Rated for Full -55°C to 150°C Range
- Suitable for Remote Applications
- Low-Cost Due to Wafer-Level Trimming
- Operates from 4 V to 30 V
- Less than $60\text{-}\mu\text{A}$ Current Drain
- Low Self-Heating, 0.08°C in Still Air
- Non-Linearity Only $\pm 1/4^{\circ}\text{C}$ Typical
- Low-Impedance Output, $0.1\ \Omega$ for 1-mA Load

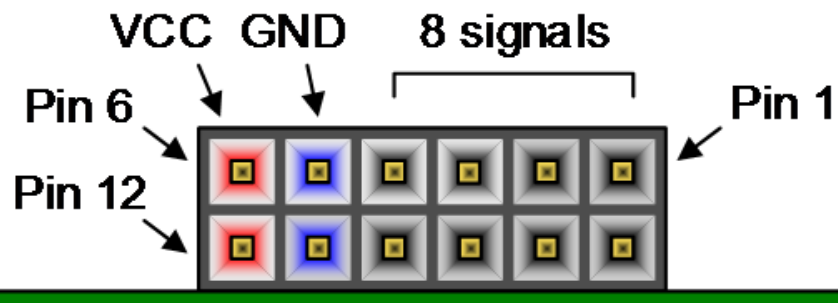
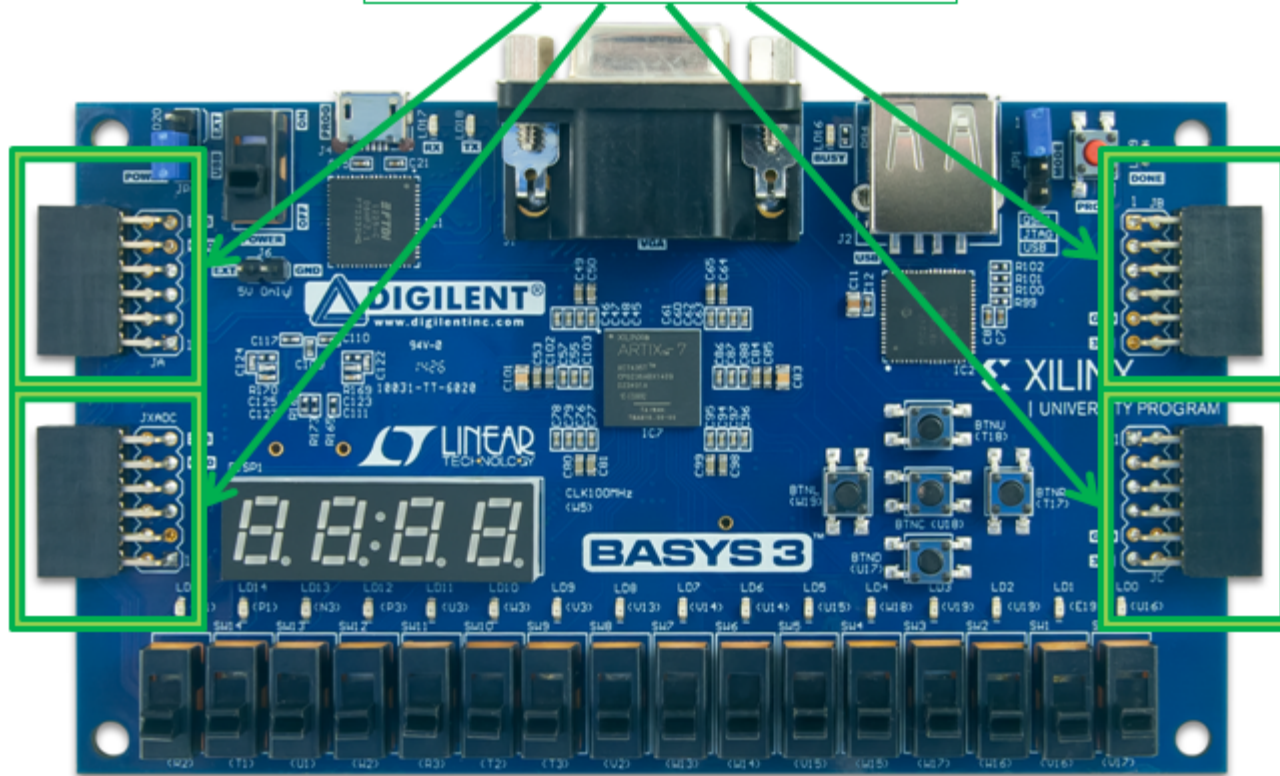
TDC con l'FPGA



- TDC, Time to Digital Converter: converte una misura di tempo in un valore digitale
- contando il numero di clock fra una transizione di stato $0 \rightarrow 1$ e la successiva $1 \rightarrow 0$, possiamo determinare la durata del segnale ΔT

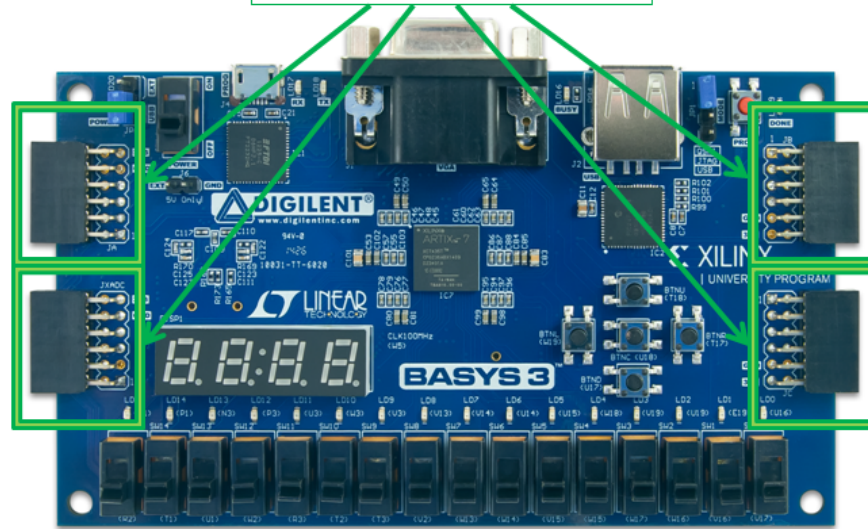
Basys3

Pmod Connectors x4



Basys3

Pmod Connectors x4



Pmod JA	Pmod JB	Pmod JC	Pmod JXADC
JA1: J1	JB1: A14	JC1: K17	JXADC1: J3
JA2: L2	JB2: A16	JC2: M18	JXADC2: L3
JA3: J2	JB3: B15	JC3: N17	JXADC3: M2
JA4: G2	JB4: B16	JC4: P18	JXADC4: N2
JA7: H1	JB7: A15	JC7: L17	JXADC7: K3
JA8: K2	JB8: A17	JC8: M19	JXADC8: M3
JA9: H2	JB9: C15	JC9: P17	JXADC9: M1
JA10: G3	JB10: C16	JC10: R18	JXADC10: N1

TTL

- **TTL**: Transistor-Transistor Logic, basato sul BJT
 - output: '1' logico: $V_{OH} > 3.3 \text{ V}$; '0' logico: $V_{OL} < 0.35 \text{ V}$
 - input: '1' logico: $V_{IH} > 2.0 \text{ V}$; '0' logico: $V_{IL} < 0.8 \text{ V}$
 - zona "morta" fra 0.8V e 2.0 V